

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-018723

(43)Date of publication of application : 17.01.1997

(51)Int.Cl.

H04N 1/46

G06T 5/00

G09G 5/00

H04N 1/60

(21)Application number : 07-188621

(71)Applicant : DAINIPPON SCREEN MFG CO LTD

(22)Date of filing : 30.06.1995

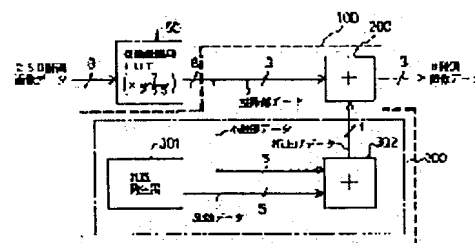
(72)Inventor : IKUTA KUNIO

(54) GRADATION NUMBER CONVERTER AND ITS METHOD

(57)Abstract:

PURPOSE: To convert the gradation number of image data while suppressing deterioration in image quality to the utmost and to realize conversion without increasing the scale of the circuit.

CONSTITUTION: A coefficient multiplication LUT 50 multiplies a coefficient of 7/255 with received 8-bit image data and provides an output of 8-bit image data. A bit number conversion circuit 100 separates the 8-bit image data into integer data of high-order 3bit and fraction data of low-order 5-bit and gives the integer data to an adder 200 and the fraction data to an adder 302 of a thresholding circuit 300 as error data. A random number generator 301 generates random number data in 5-bit. The adder 302 adds the random number data to the fraction data and provides an output of carry data in 1-bit denoting the presence of occurrence of carry toward a higher digit to the adder 200. The adder 200 adds the carry data to the integer data and provides an output of image data in 3-bit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-18723

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 1/46			H 0 4 N 1/46	C
G 0 6 T 5/00		9377-5H	G 0 9 G 5/00	5 2 0 A
G 0 9 G 5/00	5 2 0		G 0 6 F 15/68	3 1 0 J
H 0 4 N 1/60			H 0 4 N 1/40	D

審査請求 未請求 請求項の数 8 F D (全 15 頁)

(21) 出願番号 特願平7-188621

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000207551

大日本スクリーン製造株式会社

京都府京都市上京区堀川通寺之内上る4丁

目天神北町1番地の1

(72) 発明者 生田 国男

京都市南区東九条南石田町5番地 大日本

スクリーン製造株式会社十条事業所内

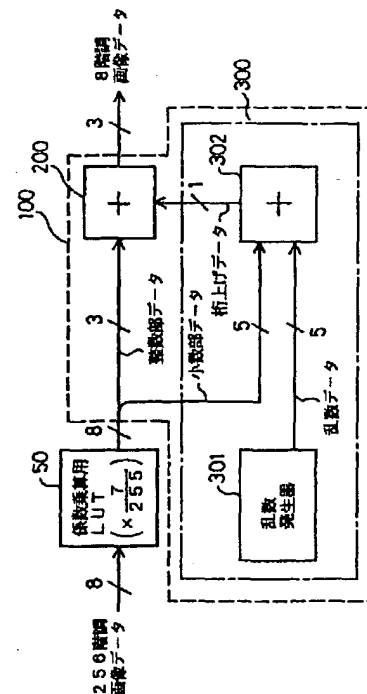
(74) 代理人 弁理士 五十嵐 孝雄 (外3名)

(54) 【発明の名称】 階調数変換装置及びその方法

(57) 【要約】

【目的】 画質低下をできる限り抑えて、画像データの階調数を変換することができると共に、回路規模を大きくすることなく実現することができる。

【構成】 係数乗算用 LUT 50 は、入力された 8 ビットの画像データに係数として $7/255$ を乗算して 8 ビットの画像データを出力する。ビット数変換回路 100 では、8 ビットの画像データを上位 3 ビットの整数部データと下位 5 ビットの小数部データに分離し、整数部データを加算器 200 に、小数部データを誤差データとして 2 値化回路 300 の加算器 302 に入力する。乱数発生器 301 は 5 ビットの乱数データを発生する。加算器 302 は乱数データを小数部データに加算し、上位桁への桁上げ発生の有無を示す 1 ビットの桁上げデータを加算器 200 に出力する。加算器 200 は桁上げデータを整数部データに加算し、3 ビットの画像データとして出力する。



【特許請求の範囲】

【請求項1】 M階調(Mは2以上の整数)の第1画像データをN階調(NはM以外の2以上の整数)の第2画像データに変換する階調数変換装置であって、前記第1画像データを入力し、該第1画像データの値に係数 $(N-1)/(M-1)$ を乗算して得られる、整数部と1桁以上の小数部とから成る値を、乗算結果データとして出力する係数乗算結果導出手段と、前記乗算結果データの小数部データの値を2値化して2値データを得る2値化手段と、前記乗算結果データの整数部データの値に前記2値データの値を加算して、得られた値を前記第2画像データとして出力する加算手段と、を備える階調数変換装置。

【請求項2】 請求項1に記載の階調数変換装置において、前記2値化手段は、乱数データを発生する乱数発生手段と、前記小数部データの値に前記乱数データの値を加算して、加算した際の最上位を越えた桁上げの発生の有無を示す桁上げデータを前記2値データとして得る手段と、を備える階調数変換装置。

【請求項3】 請求項1に記載の階調数変換装置において、前記2値化手段は、ディザデータを発生するディザデータ発生手段と、前記小数部データの値に前記ディザデータの値を加算して、加算した際の最上位を越えた桁上げの発生の有無を示す桁上げデータを前記2値データとして得る手段と、を備える階調数変換装置。

【請求項4】 請求項1に記載の階調数変換装置において、前記2値化手段は、前記小数部データの値を誤差拡散法を用いて2値化する手段を備える階調数変換装置。

【請求項5】 M階調(Mは2以上の整数)の第1画像データをN階調(NはM以外の2以上の整数)の第2画像データに変換する階調数変換方法であって、前記第1画像データの値に係数 $(N-1)/(M-1)$ を乗算して、整数部と1桁以上の小数部とを有する値を導き出し、乗算結果データとして得る工程と、前記乗算結果データの小数部データの値を2値化して2値データを得る工程と、前記乗算結果データの整数部データの値に前記2値データの値を加算して、得られた値を前記第2画像データとして得る工程と、を備える階調数変換方法。

【請求項6】 mビットの第1画像データをnビットの第2画像データに変換する階調数変換装置において、前記第1画像データを入力し、該第1画像データの値に係数 $(2^n-1)/(2^m-1)$ を乗算して得られるr

($>n$)ビットの値を乗算結果データとして出力する係数乗算結果導出手段と、

前記乗算結果データの低位($r-n$)ビットのデータに基づき、上記乗算結果データに上記第nビット目に「1」を加算し、加算データを出力する階調補正手段と、前記加算データの上位nビットを抽出し、第2画像データとして出力する出力手段と、を備える階調数変換装置。

10 【請求項7】 請求項6記載の階調数変換装置において、前記階調補正手段は、

($r-n$)ビットの乱数データを発生する手段と、前記乱数データと前記乗算結果データとを加算し、前記加算データを出力する加算器と、を備える階調数変換装置。

【請求項8】 請求項7記載の階調数変換装置において、前記階調補正手段は、

20 ($r-n$)ビットのディザデータを発生する手段と、前記ディザデータと前記乗算結果データとを加算し、前記加算データを出力する加算器と、を備える階調数変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は階調数変換装置及びその方法に関し、特に、或る階調数(例えば、256階調:8ビット)の画像データを他の階調数(例えば、8階調:3ビット)の画像データに、画質低下をできる限り抑えて変換することが可能な階調数変換装置及びその方法に関するものである。

【0002】

【従来の技術】例えば、256階調を表現できる画像発生装置より発生された画像を、8階調を表現できる画像表示装置を用いて表示する場合、画像発生装置より出力される画像データは8ビット(すなわち、256階調)であるのに対し、画像表示装置に入力すべき画像データは3ビット(すなわち、8階調)であるので、256階調の画像データを8階調の画像データに変換する必要がある。

40

【0003】このような画像データの階調数を変換する従来の階調数変換装置としては、例えば、日経BP社発行の日経エレクトロニクス 1994年8月22日号(No. 615) 第131頁乃至第142頁「講座 液晶ディスプレイ “誤差拡散法で512色表示液晶を1670万色に、専用LSI開発”」に記載されているものがあり、以下、この従来例について説明する。

【0004】

【発明が解決しようとする課題】図14は階調数変換装置の第1の従来例において256階調の画像データを8

50

階調の画像データに変換する際の変換特性を示すグラフである。図14において、横軸は階調数変換装置に入力される画像データの階調数を示し、縦軸は階調数変換装置より出力される画像データの階調数を示している。また、図15は図14に示した各階調数に対応する画像データの値を示した説明図である。図15において、左側の欄は入力画像データを、右側の欄は出力画像データをそれぞれ示している。また、各々の欄には各階調数に対応する画像データの値が記されている。

【0005】この第1の従来例では、図14の横軸に示すように第0階調から第255階調までの256の階調数を7等分に分けし、各区分をそれぞれ縦軸の8階調に割り当てている。画像データが入力されると、その入力画像データの階調数が7つの区分のうちの区分に属するかを判別し、属する区分に割り当てられた階調数を出力画像データの階調数として決定する。例えば、入力された画像データの階調数が第120階調である場合は、図14に示すように第109階調から第145階調の区分に属するため、その区分に割り当てられた第3階調を、出力画像データの階調数に決定する。

【0006】しかし、この第3階調に本来的に対応する入力画像データの階調数は図14から明かなように第109階調のみである。すなわち、入力された画像データの階調数は第120階調であるので、11階調分(120階調-109階調)の誤差データが生じることになる。すなわち、上記したような処理を行っただけでは、このような誤差データの存在により変換特性は図14に点線にて示すように階段状になってしまう。そこで、その誤差データに応じて、先に決定した出力画像データの階調数をそのままとする(上記例では第3階調のままとする)か、1つ上の階調数に変更する(上記例では第4階調に変更する)かを選択するようにする。具体的には、誤差データをディザ法や誤差拡散法などを用いて処理する。こうすることによって、変換特性は図14の実線にて示すような滑らかな特性となる。

【0007】しかしながら、このような第1の従来例においては次のような問題があった。入力画像データの階調数が上記した例のように第120階調である場合、その8ビットの画像データの値は“01111000”である。この入力画像データがどの区分に属するかを判定するには、図15に示す各区分の境界に位置する画像データの値(例えば、“01000100”(第36階調)、“01001001”(第73階調)、……)と順次大小関係と比較する必要がある。また、第109階調から第145階調の区分に属すると判定されても、誤差データを導き出すために、その区分の境界に位置する画像データの値(すなわち、“01101101”(第109階調))と入力画像データの値(すなわち、“01111000”(第120階調))との差分を算出する必要もある。従って、このような大小比較や差分算出

などの処理を全てこなす回路はかなり大規模なものになってしまうという問題があった。

【0008】図16は階調数変換装置の第2の従来例において256階調の画像データを8階調の画像データに変換する際の変換特性を示すグラフである。図16において、横軸は図14と同様に階調数変換装置に入力される画像データの階調数を示し、縦軸は階調数変換装置より出力される画像データの階調数を示している。また、図17は図16に示した各階調数に対応する画像データの値を示した説明図である。図17において、左側の欄は図15と同様に入力画像データを、右側の欄は出力画像データをそれぞれ示している。また、各々の欄には各階調数に対応する画像データの値が記されている。

【0009】この第2の従来例では、画像データが入力されると、図17に示すように、その8ビットの画像データのうち上位3ビットのデータを取り出し、そのデータをそのまま3ビットの出力画像データとして出力する。すなわち、この従来例では、図16の横軸に示すように第0階調から第255階調まで256の階調数を8等分に分けし、各区分をそれぞれ縦軸の8階調に割り当てている。例えば、入力された画像データの階調数が前述した例と同様に第120階調である場合は、その8ビットの画像データの値は“01111000”である。従って、この画像データのうち上位3ビットのデータを取り出すと、そのデータの値は“011”であり、この3ビットのデータを出力画像データとして出力する。すなわち、“011”であるので、出力画像データの階調数は図17に示すように第3階調に決定される。

【0010】しかし、このように上位3ビットのデータのみを用いる処理では、残りの下位5ビットのデータは切り捨てられ、何ら出力画像データに反映されないの、変換特性は図14に点線にて示すように階段状になってしまう。そこで、残りの下位5ビットのデータを誤差データとして扱って、その誤差データに応じて、先に決定した出力画像データの階調数をそのままとする(上記例では第3階調のままとする)か、1つ上の階調数に変更する(上記例では第4階調に変更する)かを選択するようにする。具体的には、下位5ビットのデータをディザ法や誤差拡散法などを用いて2値化して(すなわち、“0”か“1”の1ビットのデータに変換して)、上位の3ビットのデータに加算する。こうすることによって、変換特性は図16の実線にて示すような滑らかな特性となる。

【0011】しかしながら、このような第2の従来例においても次のような問題があった。入力画像データの階調数が第224階調(すなわち、“11100000”)から第255階調(すなわち、“11111111”)の区分に属する場合、上位3ビットのデータの値は“111”であるため、出力画像データの階調数は下位5ビットのデータにかかわらず第7階調に決定され

る。これは、残りの下位5ビットのデータに応じて、決定した出力画像データの階調数をそのままとするか、1つ上の階調数に変更するかを選択しようとしても、第7階調は最大階調であり、1つ上の階調はもはや存在しないからである。従って、入力画像データの階調数が第224階調（すなわち、“11100000”）から第255階調（すなわち、“11111111”）の区分に属する場合は、下位5ビットのデータがどのような値であっても、出力画像データの階調数は第7階調のままとするため、変換特性は図16の一点鎖線にて示すような線形な特性（すなわち、図14の実線にて示した特性と同様）にはならず、図16の実線にて示すように、高階調部分にて飽和してしまう。そのため、高階調の画像を表現しようとする、画像の再現性が悪くなるため、画質が低下してしまうという問題があった。

【0012】従って、本発明の目的は、上記した従来技術の問題点を解決し、画質低下をできる限り抑えて、画像データの階調数を変換することができると共に、回路規模を大きくすることなく実現することができる階調数変換装置及びその方法を提供することある。

【0013】

【課題を解決するための手段】上記した目的を達成するために、請求項1に記載の発明では、M階調（Mは2以上の整数）の第1画像データをN階調（NはM以外の2以上の整数）の第2画像データに変換する階調数変換装置において、前記第1画像データを入力し、該第1画像データの値に係数 $(N-1)/(M-1)$ を乗算して得られる、整数部と1桁以上の小数部とから成る値を、乗算結果データとして出力する係数乗算結果導出手段と、前記乗算結果データの小数部データの値を2値化して2値データを得る2値化手段と、前記乗算結果データの整数部データの値に前記2値データの値を加算して、得られた値を前記第2画像データとして出力する加算手段と、を備えるようにしている。

【0014】請求項2に記載の発明では、請求項1に記載の階調数変換装置において、前記2値化手段が、乱数データを発生する乱数発生手段と、前記小数部データの値に前記乱数データの値を加算して、加算した際の最上位を越えた桁上げの発生の有無を示す桁上げデータを前記2値データとして得る手段と、を備える。

【0015】請求項3に記載の発明では、請求項1に記載の階調数変換装置において、前記2値化手段が、ディザデータを発生するディザデータ発生手段と、前記小数部データの値に前記ディザデータの値を加算して、加算した際の最上位を越えた桁上げの発生の有無を示す桁上げデータを前記2値データとして得る手段と、を備える。

【0016】請求項4に記載の発明では、請求項1に記載の階調数変換装置において、前記2値化手段が、前記小数部データの値を誤差拡散法を用いて2値化する手段

を備える。

【0017】請求項5に記載の発明では、M階調（Mは2以上の整数）の第1画像データをN階調（NはM以外の2以上の整数）の第2画像データに変換する階調数変換方法において、前記第1画像データの値に係数 $(N-1)/(M-1)$ を乗算して、整数部と1桁以上の小数部とを有する値を導き出し、乗算結果データとして得る工程と、前記乗算結果データの整数部データの値を2値化して2値データを得る工程と、前記乗算結果データの整数部データの値に前記2値データの値を加算して、得られた値を前記第2画像データとして得る工程と、を備える。

【0018】請求項6に記載の発明では、mビットの第1画像データをnビットの第2画像データに変換する階調数変換装置において、前記第1画像データを入力し、該第1画像データの値に係数 $(2^n-1)/(2^m-1)$ を乗算して得られるr（>n）ビットの値を乗算結果データとして出力する係数乗算結果導出手段と、前記乗算結果データの低位（r-n）ビットのデータに基づき、上記乗算結果データに上記第nビット目に「1」を加算し、加算データを出力する階調補正手段と、前記加算データの上位nビットを抽出し、第2画像データとして出力する出力手段と、を備えるようにしている。

【0019】請求項7に記載の発明では、請求項6記載の階調数変換装置において、前記階調補正手段が、（r-n）ビットの乱数データを発生する手段と、前記乱数データと前記乗算結果データとを加算し、前記加算データを出力する加算器と、を備える。

【0020】請求項8に記載の発明では、請求項7記載の階調数変換装置において、前記階調補正手段が、（r-n）ビットのディザデータを発生する手段と、前記ディザデータと前記乗算結果データとを加算し、前記加算データを出力する加算器と、を備える。

【0021】

【作用】請求項1乃至5の発明では、L階調の第1画像データをM階調の第2画像データに変換するに際し、まず、第1画像データの値に係数として $(N-1)/(M-1)$ を乗算して、整数部と1桁以上の小数部とから成る値を乗算結果データとして得る。これにより、第1画像データの階調数の変化幅は第2画像データの階調数の変化幅と同じ変化幅に変換される。次に、乗算結果データを整数部データと小数部データに分離し、小数部データを誤差データとして扱って2値化し、得られた2値データを整数部データに加算して、第2画像データを得る。

【0022】請求項6乃至8の発明では、mビットの第1画像データをnビットの第2画像データに変換するに際し、まず、第1画像データの値に係数として $(2^n-1)/(2^m-1)$ を乗算して、r（>n）ビットの乗算結果データを出力する。これにより第1画像データの

階調数の変化幅は第2画像データの階調数の変化幅と同じ変化幅に変換される。次に、乗算結果データの低位 $(r-n)$ ビットのデータに基づいて乗算結果データの上位第 n ビット目に「1」を加算することにより階調を補正し、加算データとして出力する。この加算データのうち上位 n ビットを抽出し第2画像データを得る。

【0023】従って、前述した第1の従来例のように、入力画像データがどの区分に属するかを判定するために境界に位置する画像データの値と大小比較したり、誤差データを導き出すために境界に位置する画像データとの差分を算出する必要はない。前述した第2の従来例のように、変換特性が高階調部分にて飽和することがない。

【0024】

【実施例】以下、本発明の実施例について図面を用いて説明する。図1は本発明の第1の実施例としての階調数変換装置の構成を示すブロック図である。本実施例の階調数変換装置は、係数乗算用ルック・アップ・テーブル（以下、LUTと略す）50とビット数変換回路100を備えている。また、ビット数変換回路100は加算器200と2値化回路300を備えている。さらにまた、2値化回路300は乱数発生器301と加算器302を備えている。

【0025】本実施例の階調数変換装置では、256

(M) 階調の画像データ（すなわち、8 (m) ビットの画像データ）を入力し、8 (N) 階調の画像データ（すなわち、3 (n) ビットの画像データ）に変換して出力する。

【0026】まず、係数乗算用LUT50は、入力された8ビットの画像データに係数として $7/255 (= (N-1)/(M-1))$ を乗算して8ビットの画像データを出力する。実際には、係数乗算用LUT50は、入力される8ビットの画像データの各値に対して、 $7/255$ を乗算した結果をそれぞれ記憶しており、8ビットの画像データが入力されると、その値に対応する乗算結果を8ビットの画像データとして出力する。

【0027】ここで、係数 $7/255$ の意味であるが、分母の「255」は階調数変換装置に入力された画像データの階調数Mの変化幅 $(M-1)$ に対応しており、分子の「7」は階調数変換装置より出力すべき画像データの階調数Nの変化幅 $(N-1)$ に対応している。一般に、L階調（Lは2以上の整数）の画像データの場合、画像データの階調数は第0階調から第L-1階調まで変化し得るため、その変化幅は $(L-1)-0$ であり、L-1と表される。従って、256階調の入力画像データの場合、階調数の変化幅は255であり、8階調の出力画像データの場合7である。以上のような係数 $7/255$ を256階調の入力画像データに乗算すると、入力画像データの値は全て $7/255$ に縮小されてしまうため、255あった階調数の変化幅は7に変換されてしまう。

【0028】また、8ビットの画像データに $7/255$ を乗算して8ビットの画像データを得る場合、得られる8ビットの画像データのうち、上位3ビット（第2画像データのビット数と同じ）は整数部となり、下位5ビットが小数部となる。尚、小数部は少なくとも1桁あればよいので、LUT50は4ビットの画像データを出力するものでもよい。

【0029】図2は図1の係数乗算用LUT50における画像データの変換特性を示すグラフである。図2において、横軸は係数乗算用LUT50に入力される画像データの階調数を示し、縦軸は係数乗算用LUT50より出力される画像データの階調数を示している。図2に示すように、例えば、入力画像データの階調数が第255階調（画像データの値が「11111111」）である場合は、係数乗算用LUT50を介することにより、丁度、第7階調の画像データ（「11100000」の画像データ）に変換される。また、入力画像データの階調数が第120階調（画像データの値が「011111000」）である場合には、階調数がほぼ3.28125の画像データ（「01101001」の画像データ）に変換される。

【0030】次に、ビット数変換回路100は、係数乗算用LUT50より出力された8 (m) ビットの画像データを3 (n) ビットの画像データ（すなわち、8階調の画像データ）に変換して出力する。

【0031】図3は図1のビット数変換回路100における画像データの変換特性を示すグラフである。図3において、横軸はビット数変換回路100に入力される画像データの階調数を示し、縦軸はビット数変換回路100より出力される画像データの階調数を示している。また、図4は図3に示した各階調数に対応する画像データの値を示した説明図である。図4において、左側の欄は入力画像データを、右側の欄は出力画像データをそれぞれ示している。また、各々の欄には各階調数に対応する画像データの値が記されている。

【0032】ビット数変換回路100では、係数乗算用LUT50から8ビットの画像データが入力されると、図4に示すように、その8ビットの画像データのうち、整数部に相当する上位3ビットのデータを取り出し、そのデータをそのまま3ビットの出力画像データとして出力する。例えば、係数乗算用LUT50より入力された画像データの階調数が3.28125（「01101001」）である場合、その8ビットの画像データのうち、上位3ビットのデータを取り出すと、そのデータの値は「011」であり、この3ビットのデータを出力画像データとして出力する。すなわち、「011」であるので、出力画像データの階調数は図4に示すように第3階調に決定される。

【0033】しかし、このように上位3ビットのデータのみを用いる処理では、小数部に相当する下位5ビット

のデータ（上記例では“01001”）は切り捨てられ、何ら出力画像データに反映されないで、変換特性は図3に点線にて示すように階段状になってしまう。そこで、本実施例では、小数部に相当する下位5ビットのデータ（上記例では“01001”）を誤差データとして扱って、その誤差データに応じて、先に決定した出力画像データの階調数をそのままとする（上記例では第3階調のままとする）か、1つ上の階調数に変更する（上記例では第4階調に変更する）かを選択して、変換特性が図3の実線にて示すような滑らかな特性となるようにする。

【0034】そこでまず、ビット数変換回路100では、係数乗算用LUT50から出力された8ビットの画像データを、上位3ビットのデータ（すなわち、整数部データ）と下位5ビットのデータ（すなわち、小数部データ）に分離し、整数部データを加算器200に入力すると共に、小数部データを誤差データとして2値化回路300の加算器302に入力する。例えば、係数乗算用LUT50から出力された8ビットの画像データの値が“01101001”（すなわち、階調数が3.28125）である場合、加算器200には整数部データとして“011”が入力され、2値化回路300の加算器302には小数部データとして“01001”が入力される。

【0035】2値化回路300では、入力された5ビットの小数部データを2値化して1ビットのデータに変換する。すなわち、乱数発生器301が5ビットの1様の乱数データを発生する。加算器302はこの5ビットの乱数データを入力して、先に入力された5ビットの小数部データに加算し、最上位を越えた桁上げ（carry）の発生の有無を示す1ビットの桁上げデータを加算器200に出力する。例えば、乱数発生器301が乱数データとして“11101”を発生したとすると、上記例では小数部データの値は“01001”であるので、加算結果は“100110”となる。従って、最上位ビットである第5ビットを越えた桁上げが発生しているので、桁上げデータとして“1”が出力される。

【0036】一方、加算器200は、2値化された誤差データである小数部データ（すなわち、桁上げデータ）を入力し、先に入力された3ビットの整数部データに加算し、3ビットの画像データとして出力する。すなわち、上記例では、整数部データの値は“011”であり、桁上げデータの値は“1”であるので、加算器200から出力される3ビットの画像データとしては“100”（第4階調）が出力される。

【0037】以上のように本実施例では、ビット数変換回路100において、入力された画像データを整数部データと小数部データに分離し、小数部データを誤差データとして扱って2値化し、整数部データに加算するだけである。従って、前述した第1の従来例のように、入力

画像データがどの区分に属するかを判定するために境界に位置する画像データの値と大小比較したり、誤差データを導き出すために境界に位置する画像データとの差分を算出する必要もないため、回路規模が大きくなることはない。

【0038】また、本実施例では、ビット数変換回路100にて階調数を変換するに先だって、係数乗算用LUT50において、入力画像データの階調数の変化幅を最終的に出力すべき画像データの階調数の変化幅に変換しているもので、前述した第2の従来例のように、変換特性が高階調部分にて飽和することがなく、画質が低下することがない。

【0039】図5は本発明の第2の実施例としての階調数変換装置の構成を示すブロック図である。本実施例の階調数変換装置は、係数乗算用LUT60とビット数変換回路110を備えている。また、ビット数変換回路110は加算器210と2値化回路310を備えている。さらにまた、2値化回路310はディザデータ発生器311と加算器312を備えている。

【0040】本実施例の階調数変換装置では、256（M）階調の画像データ（すなわち、8（m）ビットの画像データ）を入力し、16（N）階調の画像データ（すなわち、4（n）ビットの画像データ）に変換して出力する。また、図1の乱数発生器301の代わりにディザデータ発生器311を用いる。

【0041】まず、係数乗算用LUT60は、入力された8ビットの画像データに係数として $15/255 (= (N-1)/(M-1))$ を乗算して8ビットの画像データを出力する。すなわち、係数乗算用LUT60は図1の係数乗算用LUT50と同様に入力される8ビットの画像データの各値に対して、 $15/255$ を乗算した結果をそれぞれ記憶しており、8ビットの画像データが入力されると、その値に対応する乗算結果を8ビットの画像データとして出力する。尚、第1の実施例の場合と同様に、LUT60の出力は（n+1）ビット、即ち5ビット以上であればよい。

【0042】ここで、係数 $15/255$ のうち、分母の「255」は図1と同様に階調数変換装置に入力された画像データの階調数Mの変化幅（M-1）に対応しており、分子の「15」は階調数変換装置より出力すべき画像データの階調数Nの変化幅（N-1）に対応している。

【0043】また、8ビットの画像データに $15/255$ を乗算して8ビットの画像データを得る場合、得られる8ビットの画像データのうち、上位4（n）ビットが整数部となり、残りの下位4（8-n）ビットが小数部となる。

【0044】すなわち、係数乗算用LUT60を介することによって、“00000000”（第0階調）から“11111111”（第255階調）まで変化してい

11

た画像データは、“00000000”（第0階調）から“11110000”（第15階調）まで変化し得るようになる。

【0045】次に、ビット数変換回路110は、係数乗算用LUT60より出力された8ビットの画像データを4（n）ビットの画像データ（すなわち、16階調の画像データ）に変換して出力する。すなわち、ビット数変換回路110では、係数乗算用LUT60から出力された8ビットの画像データを、上位4ビットのデータ（すなわち、整数部データ）と下位4ビットのデータ（すなわち、小数部データ）に分離し、整数部データを加算器210に入力すると共に、小数部データを誤差データとして2値化回路310の加算器312に入力する。

【0046】2値化回路310では、入力された4ビットの小数部データを2値化して1ビットのデータに変換する。すなわち、ディザデータ発生器311が4ビットのディザデータを発生する。

【0047】図6は図5のディザデータ発生器311にて発生されるディザデータを説明するための説明図である。図6において、（a）は16階調（すなわち、4ビット）処理用のディザ行列（ディザパターン）の一例を示し、（b）は（a）に示すディザ行列が縦横に複数配列された画面を示す。

【0048】図6（a）に示すディザ行列を（b）に示すように画面上に複数配列した場合、画面上の各画素はそれぞれ（a）に示すディザデータの何れかに対応することになる。従って、例えば、画面上の第1ライン目が走査されている場合には、それら各画素の画像データが階調数変換装置に入力される毎に、ディザデータ発生器311は、それら各画素に対応するディザデータ「13」、「9」、「5」、「14」、……を順次発生する。

【0049】また、加算器312はこの4ビットのディザデータを入力して、先に入力された4ビットの小数部データに加算し、最上位を越えた桁上げ（carry）の発生の有無を示す1ビットの桁上げデータを加算器210に出力する。加算器210は、2値化された誤差データである小数部データ（すなわち、桁上げデータ）を入力し、先に入力された4ビットの整数部データに加算し、4ビットの画像データとして出力する。

【0050】このようにして、本実施例では、256階調の画像データ（すなわち、8ビットの画像データ）を16階調の画像データ（すなわち、4ビットの画像データ）に変換する。本実施例のように、乱数発生器301の代わりにディザデータ発生器311を用いても、第1の実施例と同様の効果を奏することができる。

【0051】図7は本発明の第3の実施例としての階調数変換装置の構成を示すブロック図である。本実施例が前述の第2の実施例と異なる点は、小数部データ（すなわち、誤差データ）の2値化を行う2値化回路として、

12

誤差拡散法によって2値化を行う2値化回路320を用いる点である。2値化回路320は、図7に示すように、誤差メモリ321、加算器322、比較器323、324、アンドゲート325、減算器326、及び誤差拡散用演算器327を備えている。

【0052】ここで、誤差拡散法とは、小数部データと2値化された後の2値データとのズレ（誤差）を周辺画素の小数部データに加減して2値化を行う方法である。図8は誤差拡散法の原理を説明するための説明図である。図8において、30は画面を示しており、31の矢印はラスタ走査の様子を示しており、また、32は画面上の画素を示している。

【0053】或る画素Pの小数部データの値をXとし、その小数部データを2値化して得られる2値データの値をYとした場合に、その両者の誤差Eは次式により表される。

$$E = X - Y \quad \dots\dots\dots (1)$$

【0054】そこで、このEの値を周辺画素に拡散処理する。すなわち、誤差Eの値を分割して周辺画素に加算処理する。代表的な拡散処理の例としては、誤差Eの値を右隣のA、右下のB、真下のC、及び左下のDの4点の画素へ配分し、誤差拡散比率として、Aに対し7/16、Bに対し1/16、Cに対し5/16、Dに対し3/16を適用する例が良く知られている。

$$A : E \times 7 / 16$$

$$B : E \times 1 / 16 \quad \dots\dots\dots (2)$$

$$C : E \times 5 / 16$$

$$D : E \times 3 / 16$$

このようにして、周辺画素に拡散された誤差は、各画素において、誤差蓄積データとして蓄積されることになる。

【0055】では、図7に示す多階調画素処理装置の動作について説明する。図7において、係数乗算用LUT60及び加算器210の動作は図5に示した第2の実施例と同様であるので、それらの説明は省略し、主として2値化回路320の動作について説明する。2値化回路320において、誤差メモリ321は前述した誤差蓄積データを記憶するメモリであり、図7に示すように、画面上における2ライン分の画素についての誤差蓄積データを記憶することができる。入力された画像データに対応する画素（注目画素）が画素Pであるとすると、誤差メモリ321は、その画素Pに対応する記憶位置pに記憶されている誤差蓄積データを読み出して出力する。

【0056】加算器322は、係数乗算用LUT60から出力された下位4ビットの小数部データを入力すると共に、誤差メモリ321から出力された誤差蓄積データを入力し、両者を加算する。なお、誤差蓄積データは、4ビットのデータに1ビットの符号データを付加した計5ビットのデータである。この結果、画素Pの小数部データに、周辺画素より拡散され蓄積された誤差が加算される。例えば、小数部データの値が「0.7」であり、

13

誤差蓄積データの値が「0. 2」であるとする、加算器322から出力される加算データの値は「0. 9」になる。

【0057】比較器323は加算器322から出力される6ビット（5ビットのデータ+1ビットの符号データ）の加算データを入力し、別に入力される第1の基準値データと比較して、比較結果として1ビットの2値データを出力する。ここで、第1の基準値データとしては「0. 5」を表す4ビットデータ“1000”を用いる。すなわち、比較器323は、加算データの値が“1000”（すなわち、「0. 5」）以上の場合には“1”を出力し、“1000”よりも小さい場合には“0”を出力する。この結果、加算器322より出力された加算データは2値化される。上記した例の場合、加算データの値は「0. 9」であり、基準値データの「0. 5」より大きいので、比較器323は2値データとして“1”を出力する。

【0058】こうして得られた2値データは、後ほど、加算器210において、係数乗算用LUT60から出力された上位4ビットの整数部データと加算されるわけであるが、仮に整数部データの値が“1111”であり（すなわち、最大階調である「15」を表しており）、誤差蓄積データの値が「0. 5」以上で2値データの値が“1”となった場合には、加算によって不当な桁上げがなされオーバーフローとなることにより、誤った画像データを出力することになる。

【0059】そこで、これを防止するために、本実施例では、整数部データの値が“1111”である場合には、加算器210において加算される2値データの値が常に“0”になるようにしている。まず、比較器324が、係数乗算用LUT60から出力された整数部データを入力し、別に入力される第2の基準値データと比較して、比較結果として1ビットのデータを出力する。第2の基準値データとしては「15」を表す4ビットデータ“1111”を用いる。つまり、比較器324は、整数部データの値が“1111”（すなわち、「15」）の場合には“0”を出力し、それ以外の場合には“1”を出力する。次に、アンドゲート325が、比較器324から出力された1ビットのデータに応じて、比較器323から出力された2値データを加算器210に入力するかどうかを決定する。すなわち、アンドゲート325は、比較器324から出力されるデータが“1”の場合（つまり、整数部データの値が「15」以外の場合）には、比較器323からの2値データを加算器210に入力するが、“0”の場合（つまり、整数部データの値が「15」の場合）には比較器323からの2値データを入力せずに、常に“0”を入力するようにする。

【0060】こうして、アンドゲート325からは2値データとして、整数部データの値が「15」の場合には常に“0”が出力され、それ以外の場合には比較器32

14

3からの2値データがそのまま出力される。なお、アンドゲート325から出力される2値データのうち、“1”はそのまま整数の「1」を表し、“0”はそのまま「0」を表す。

【0061】一方、減算器326では、加算器322から出力された加算データを入力すると共に、アンドゲート325から出力された2値データを入力し、加算データから2値データを減算する。この結果、2値化前のデータと2値化後のデータとの誤差が導き出される。上記した例では、加算データの値が「0. 9」であり、2値データの値が“1”（すなわち、整数の「1」）であるので、減算結果である誤差は「-0. 1」となる。誤差拡散用演算器327は、減算器326によって得られた誤差を、図8において述べたように画素Pに対する周辺画素A、B、C、Dにそれぞれ拡散処理する。すなわち、誤差拡散用演算器327は、得られた誤差をEとして、例えば式2で示したように、その誤差Eに各周辺画素に対応する係数をそれぞれ掛けた後、その演算結果を、誤差メモリ321における各周辺画素A、B、C、Dに対応する記憶位置a、b、c、dの値にそれぞれ加算して記憶させる。

【0062】以上のように、本実施例では、小数部データの2値化を行う際に誤差拡散法を用いることにより、前述の第2の実施例のように、固定パターンを使うディザ法を用いる場合よりも、処理は複雑になるものの、解像度の低下を少なくすることができる。

【0063】図9は本発明の第4の実施例としての階調数変換装置の構成を示すブロック図である。本実施例は、256（M）階調を表現できる画像発生装置800より発生された画像を、3（N）階調を表現できる画像記録装置900を用いて記録する例である。すなわち、画像発生装置800より出力される画像データは256階調であるのに対し、画像表示装置に入力すべき画像データは3階調であるので、本実施例では、256階調の画像データを3階調の画像データに変換することになる。

【0064】画像発生装置800としては、例えば、イメージスキャナ等の画像読み取り装置や、磁気ディスク、CD-ROMなどの記録媒体を用いる画像格納装置などが挙げられる。また、画像記録装置900としては、図10に示すように、入力される画像データの階調数「0」、「1」、「2」に対応して、無記録、中ドット記録、大ドット記録の3種類の記録が可能な3値画像プリンタなどが挙げられる。

【0065】本実施例の階調数変換装置は、係数乗算用LUT80と加算器230と2値化回路330を備えている。また、2値化回路330は、誤差メモリ331、加算器332、比較器333、334、アンドゲート335、減算器336、及び誤差拡散用演算器337を備えている。

【0066】まず、係数乗算用LUT80は、入力された8ビットの画像データに係数として $2/255$ を乗算して8ビットの画像データを出力する。ここで、係数 $2/255$ のうち、分母の「255」は図1または図5などと同様に階調数変換装置に入力された画像データの階調数の変化幅に対応しており、分子の「2」は階調数変換装置より出力すべき画像データの階調数の変化幅に対応している。

【0067】また、8ビットの画像データに $2/255$ を乗算して8ビットの画像データを得る場合、得られる8ビットの画像データのうち、上位2ビットが整数部となり、残りの下位6ビットが小数部となる。

【0068】すなわち、係数乗算用LUT80を介することによって、“00000000”（第0階調）から“11111111”（第255階調）まで変化していた画像データは、“00000000”（第0階調）から“10000000”（第2階調）まで変化し得るようになる。

【0069】次に、係数乗算用LUT80より出力された8ビットの画像データは、上位2ビットのデータ（すなわち、整数部データ）と下位6ビットのデータ（すなわち、小数部データ）に分離され、整数部データが加算器230及び2値化回路330の比較器334に入力されると共に、小数部データを誤差データとして2値化回路330の加算器332に入力される。

【0070】2値化回路330において、誤差メモリ331は、入力された画像データに対応する画素（注目画素）が画素Pであるとする、その画素Pに対応する記憶位置pに記憶されている誤差蓄積データを読み出して出力する。加算器332は、誤差メモリ331から出力された誤差蓄積データを入力して、先に入力された6ビットの小数部データと加算する。

【0071】比較器333は加算器332から出力される8ビット（7ビットのデータ+1ビットの符号データ）の加算データを入力し、別に入力される第1の基準値データと比較して、比較結果として1ビットの2値データを出力する。ここで、第1の基準値データとしては「0.5」を表す6ビットデータ“100000”を用いる。すなわち、比較器323は、加算データの値が“100000”（すなわち、「0.5」）以上の場合には“1”を出力し、“100000”よりも小さい場合には“0”を出力する。この結果、加算器332より出力された加算データは2値化される。

【0072】こうして得られた2値データは、後ほど、加算器230において、2ビットの整数部データと加算されるわけであるが、仮に整数部データの値が“10”であり（すなわち、最大階調である「2」を表しており）、誤差蓄積データの値が「0.5」以上で2値データの値が“1”となった場合には、加算によって不当な桁上げがなされオーバーフローとなることにより、誤つ

た画像データを出力することになる。

【0073】そこで、これを防止するために、本実施例では、整数部データの値が“10”である場合には、加算器230において加算される2値データの値が常に“0”になるようにしている。すなわち、まず、比較器334が、先に入力された2ビットの整数部データを、別に入力される第2の基準値データと比較して、比較結果として1ビットのデータを出力する。第2の基準値データとしては「2」を表す2ビットデータ“10”を用いる。つまり、比較器324は、整数部データの値が“10”（すなわち、「2」）の場合には“0”を出力し、それ以外の場合には“1”を出力する。次に、アンドゲート335は、比較器334から出力されるデータが“1”の場合（つまり、整数部データの値が「2」以外の場合）には、比較器333からの2値データを加算器230に入力するが、“0”の場合（つまり、整数部データの値が「2」の場合）には比較器333からの2値データを入力せずに、常に“0”を入力するようにする。こうして、アンドゲート335からは2値データとして、整数部データの値が「2」の場合には常に“0”が出力され、それ以外の場合には比較器333からの2値データがそのまま出力される。

【0074】また、減算器336では、加算器332から出力された加算データを入力すると共に、アンドゲート335から出力された2値データを入力し、加算データから2値データを減算し、2値化前のデータと2値化後のデータとの誤差を導き出す。誤差拡散用演算器327は、減算器326によって得られた誤差をEとして、例えば式2で示したように、その誤差Eに各周辺画素に対応する係数をそれぞれ掛けた後、その演算結果を、誤差メモリ321における各周辺画素A、B、C、Dに対応する記憶位置a、b、c、dにそれぞれ記憶させる。

【0075】一方、加算器230は、2値化回路330からの2値化された小数部データを入力し、先に入力された2ビットの整数部データに加算して、2ビットの画像データとして出力する。なお、出力される画像データは2ビットであるが、その階調数は4階調でなく3階調である。画像記録装置900は、入力された画像データの階調数に従って、図10に示したような3値の画像記録を行う。

【0076】以上のように、本実施例では、画像発生装置800より出力された256階調の画像データを3階調の画像データに変換することによって、3値で画像を記録する画像記録装置900に対応することができる。

【0077】図11は本発明の第5の実施例としての階調数変換装置の構成を示すブロック図である。本実施例は、或る階調数Mの画像データをその階調数よりも多い階調数Nを持つ画像データに変換する例である。すなわち、本実施例の階調数変換装置は、第0階調から第10階調まで変化し得る11階調の画像データを256階調

17

の画像データに変換して出力するものである。本実施例の階調数変換装置は、図11に示すように、係数乗算用LUT90と加算器240と2値化回路340を備えている。また、2値化回路340は、誤差メモリ341、加算器342、比較器343、344、アンドゲート345、減算器346、及び誤差拡散用演算器347を備えている。

【0078】まず、係数乗算用LUT90は、入力された11階調の画像データ（4ビットの画像データ）に係数として $255/10 (= (N-1)/(M-1))$ を乗算して12ビットの画像データを出力する。ここで、係数 $255/10$ のうち、分母の「10」は図1または図5などと同様に階調数変換装置に入力された画像データの階調数の変化幅に対応しており、分子の「255」は階調数変換装置より出力すべき画像データの階調数の変化幅に対応している。

【0079】また、4ビットの画像データに $255/10$ を乗算して12ビットの画像データを得る場合、得られる12ビットの画像データのうち、上位8ビットが整数部となり、残りの下位4ビットが小数部となる。

【0080】すなわち、係数乗算用LUT90を介することによって、「0000」（第0階調）から「1010」（第10階調）まで変化していた画像データは、「00000000000000」（第0階調）から「111111110000」（第255階調）まで変化し得るようになる。

【0081】次に、係数乗算用LUT90より出力された12ビットの画像データは、上位8ビットのデータ（すなわち、整数部データ）と下位4ビットのデータ（すなわち、小数部データ）に分離され、整数部データが加算器240及び2値化回路340の比較器344に入力されると共に、小数部データを誤差データとして2値化回路340の加算器342に入力される。

【0082】2値化回路340において、誤差メモリ341は、入力された画像データに対応する画素（注目画素）が画素Pであるとする、その画素Pに対応する記憶位置pに記憶されている誤差蓄積データを読み出して出力する。加算器342は、誤差メモリ341から出力された誤差蓄積データを入力して、先に入力された4ビットの小数部データと加算する。

【0083】比較器343は加算器342から出力される6ビット（5ビットのデータ+1ビットの符号データ）の加算データを入力し、別に入力される第1の基準値データと比較して、比較結果として1ビットの2値データを出力する。ここで、第1の基準値データとしては「0.5」を表す4ビットデータ「1000」を用いる。すなわち、比較器343は、加算データの値が「1000」（すなわち、「0.5」）以上の場合には「1」を出力し、「1000」よりも小さい場合には「0」を出力する。この結果、加算器342より出力さ

18

れた加算データは2値化される。

【0084】こうして得られた2値データは、後ほど、加算器240において、8ビットの整数部データと加算されるわけであるが、仮に整数部データの値が「11111111」であり（すなわち、最大階調数である「255」を表しており）、誤差蓄積データの値が「0.5」以上で2値データの値が「1」となった場合には、加算によって不当な桁上げがなされオーバーフローとなることにより、誤った画像データを出力することになる。

【0085】そこで、これを防止するために、本実施例では、整数部データの値が「11111111」である場合には、加算器240において加算される2値データの値が常に「0」になるようにしている。すなわち、まず、比較器344が、先に入力された8ビットの整数部データを、別に入力される第2の基準値データと比較して、比較結果として1ビットのデータを出力する。第2の基準値データとしては「255」を表す8ビットデータ「11111111」を用いる。つまり、比較器344は、整数部データの値が「11111111」（すなわち、「255」）の場合には「0」を出力し、それ以外の場合には「1」を出力する。次に、アンドゲート345は、比較器344から出力されるデータが「1」の場合（つまり、整数部データの値が「255」以外の場合）には、比較器343からの2値データを加算器240に入力するが、「0」の場合（つまり、整数部データの値が「255」の場合）には比較器343からの2値データを入力せずに、常に「0」を入力するようにする。こうして、アンドゲート345からは2値データとして、整数部データの値が「255」の場合には常に「0」が出力され、それ以外の場合には比較器343からの2値データがそのまま出力される。

【0086】なお、減算器346及び誤差拡散用演算器347の動作については、図7に示した減算器326及び誤差拡散用演算器327の動作と同様なので、説明は省略する。

【0087】以上のように、本実施例では、第0階調から第10階調まで変化し得る11階調の画像データを、その階調数よりも多い256階調の画像データに変換することができる。

【0088】図12は本発明の第6実施例としての階調数変換装置の構成を示すブロック図である。本実施例は、mビットで表される第1の画像データをnビットで表される第2の画像データに変換する、すなわち、 2^m の階調数のデータを 2^n の階調数のデータに変換する装置である。

【0089】まず、係数乗算用LUT51は、入力されたmビットの画像データに係数として $(2^n-1)/(2^m-1)$ を乗算してr（ $>n$ ）ビットの画像データを出力する。一方乱数発生器151では、（r-n）ビ

ットの一様乱数を画像データの1画素毎に出力する。加算器152では、階調補正した r ビットの画像データと $(r-n)$ ビットの画像データを加算する。加算器152の内部では、 r ビットの加算データが発生し、このうち、加算器152からは上位 n ビットのデータのみ抽出し、出力する。この上位 n ビットのデータが変換された画像データである。

【0090】図13は本発明の第7実施例としての階調数変換装置の構成を示すブロック図である。本実施例は、第6実施例の乱数発生器151を、ディザデータ発生器153に置き換えたものである。このディザデータ発生器153は、図8に示したようなディザパターンを順次発生するもので、そのデータは $(r-n)$ ビットで表されている。

【0091】なお、変換前の階調数と変換後の階調数の組み合わせとしては、上記した実施例に限られるものではなく、少なくとも2階調以上の互いに異なる階調数同士の組み合わせであれば良い。

【0092】

【発明の効果】以上説明したように、請求項1乃至8に記載の発明によれば、前述した第1の従来例のように、入力画像データがどの区分に属するかを判定するために境界に位置する画像データの値と大小比較したり、誤差データを導き出すために境界に位置する画像データとの差分を算出する必要もないため、回路規模が大きくなることはない。また、前述した第2の従来例のように、変換特性が高階調部分にて飽和することがなく、画質が低下することがない。

【図面の簡単な説明】

【図1】本発明の第1の実施例としての階調数変換装置の構成を示すブロック図である。

【図2】図1の係数乗算用LUT50における画像データの変換特性を示すグラフである。

【図3】図1のビット数変換回路100における画像データの変換特性を示すグラフである。

【図4】図3に示した各階調数に対応する画像データの値を示した説明図である。

【図5】本発明の第2の実施例としての階調数変換装置の構成を示すブロック図である。

【図6】図5のディザデータ発生器311にて発生されるディザデータを説明するための説明図である。

【図7】本発明の第3の実施例としての階調数変換装置の構成を示すブロック図である。

【図8】誤差拡散法の原理を説明するための説明図である。

【図9】本発明の第4の実施例としての階調数変換装置の構成を示すブロック図である。

【図10】図9の画像記録装置900において画像データの階調数に対応する記録形態を示す説明図である。

【図11】本発明の第5の実施例としての階調数変換装

置の構成を示すブロック図である。

【図12】本発明の第6の実施例としての階調数変換装置の構成を示すブロック図である。

【図13】本発明の第7の実施例としての階調数変換装置の構成を示すブロック図である。

【図14】階調数変換装置の第1の従来例において256階調の画像データを8階調の画像データに変換する際の変換特性を示すグラフである。

【図15】図14に示した各階調数に対応する画像データの値を示した説明図である。

【図16】階調数変換装置の第2の従来例において256階調の画像データを8階調の画像データに変換する際の変換特性を示すグラフである。

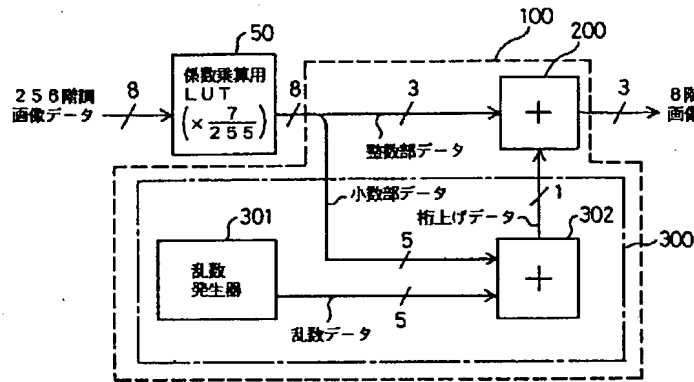
【図17】図16に示した各階調数に対応する画像データの値を示した説明図である。

【符号の説明】

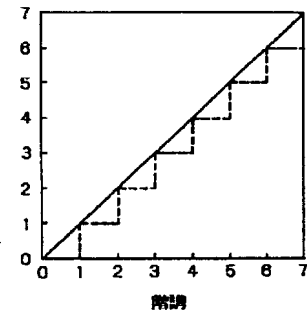
30…画面
31…ラスト走査
32…画素
50, 60, 80, 90…係数乗算用LUT
100, 110…ビット数変換回路
200, 210, 230, 240…加算器
300…2値化回路
301…乱数発生器
302…加算器
310…2値化回路
311…ディザデータ発生器
312…加算器
320…2値化回路
321…誤差メモリ
322…加算器
323, 324…比較器
325…アンドゲート
326…減算器
327…誤差拡散用演算器
330…2値化回路
331…誤差メモリ
332…加算器
333, 334…比較器
335…アンドゲート
336…減算器
337…誤差拡散用演算器
340…2値化回路
341…誤差メモリ
342…加算器
343, 344…比較器
345…アンドゲート
346…減算器
347…誤差拡散用演算器
800…画像発生装置

900...画像記録装置

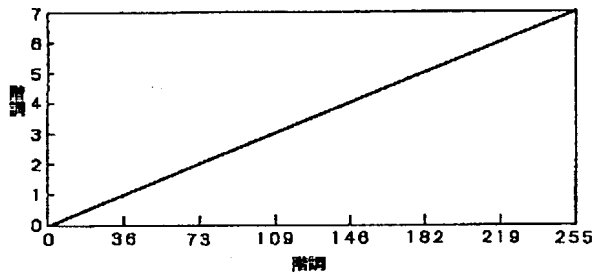
【図1】



【図3】



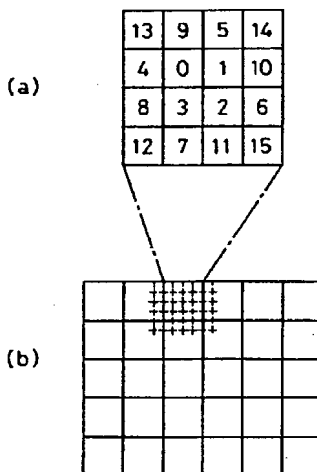
【図2】



【図4】

入力画像データ		出力画像データ	
階調数	8ビット画像データ	階調数	3ビット画像データ
0 } 31 32	00000000 00011111	0 または 1	000 または 001
1 } 31 32	00100000 00111111	1 または 2	001 または 010
2 } 31 32	01000000 01011111	2 または 3	010 または 011
3 } 31 32	01100000 01111111	3 または 4	011 または 100
4 } 31 32	10000000 10011111	4 または 5	100 または 101
5 } 31 32	10100000 10111111	5 または 6	101 または 110
6 } 31 32	11000000 11011111	6 または 7	110 または 111
7	11100000	7	111

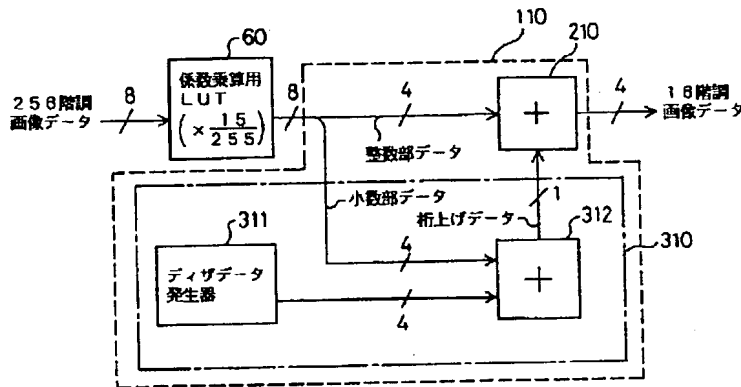
【図6】



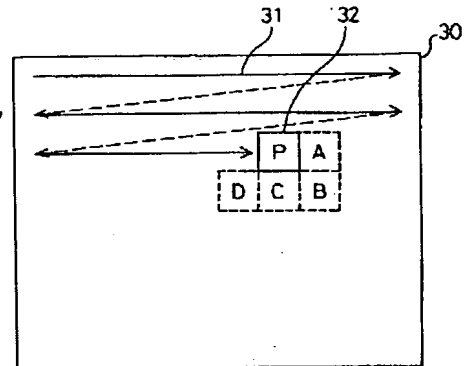
【図10】

画像データの階調数	記録形態
2	●
1	●
0	無記録

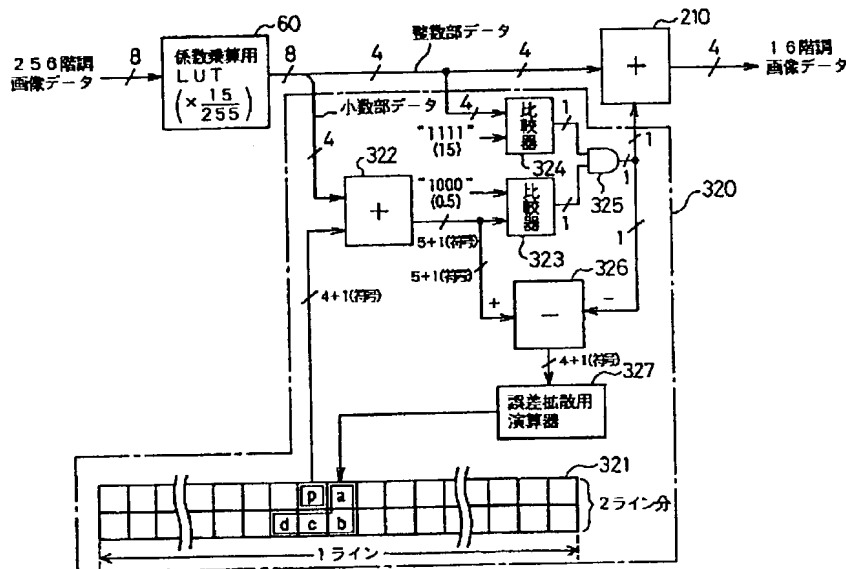
【図5】



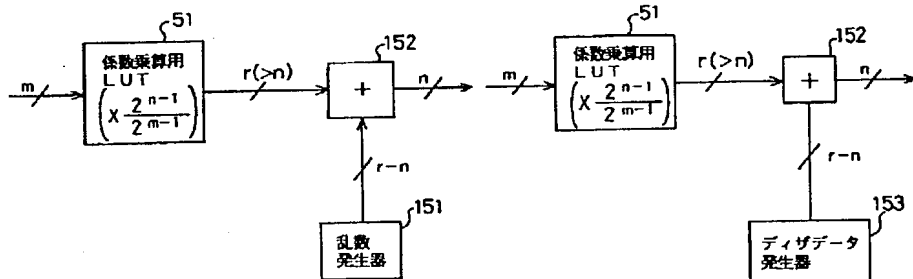
【図8】



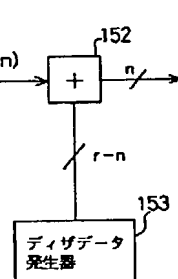
【図7】



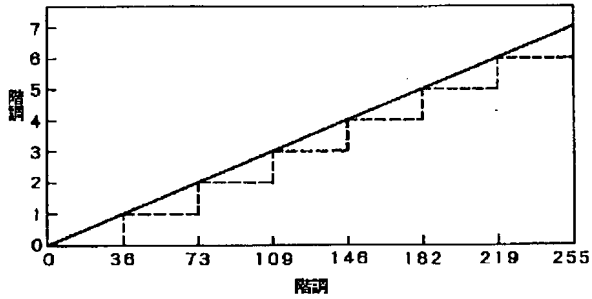
【図12】



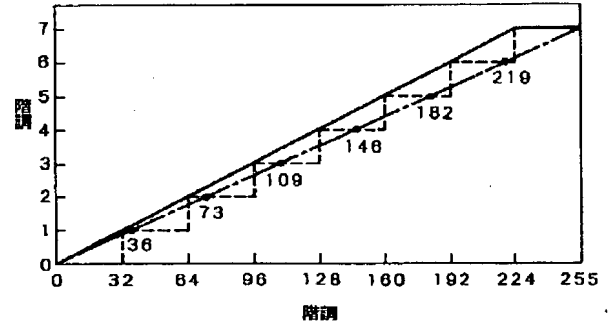
【図13】



【図14】



【図16】



【図15】

入力画像データ		出力画像データ	
階調数	8ビット画像データ	階調数	3ビット画像データ
0 }	00000000 }	0	000
36 }	00100011 }		
73 }	00100100 }	1	001
109 }	01001000 }		
146 }	01001001 }	2	010
182 }	01101101 }	3	011
219 }	10010001 }		
255	10010010 }	4	100
	10110101 }		
182 }	10110110 }	5	101
219 }	11011010 }		
254 }	11011011 }	6	110
255	11111110 }		
	11111111 }	7	111

【図17】

入力画像データ		出力画像データ	
階調数	8ビット画像データ	階調数	3ビット画像データ
0 }	00000000 }	0	000
31 }	00011111 }		
32 }	00100000 }	1	001
63 }	00111111 }		
64 }	01000000 }	2	010
95 }	01011111 }		
96 }	01100000 }	3	011
127 }	01111111 }		
128 }	10000000 }	4	100
159 }	10011111 }		
160 }	10100000 }	5	101
191 }	10111111 }		
192 }	11000000 }	6	110
223 }	11011111 }		
224 }	11100000 }	7	111
255 }	11111111 }		

THIS PAGE BLANK (USPTO)